

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-349151
(P2000-349151A)

(43) 公開日 平成12年12月15日 (2000.12.15)

(51) Int.Cl. ⁷	識別記号	F I	データ* (参考)
H 0 1 L	21/768	H 0 1 L 21/90	B 4 M 1 0 4
	21/28	21/28	F 5 F 0 0 4
	21/283	21/283	P 5 F 0 3 3
	21/288	21/288	E
	21/3065	21/302	J

審査請求 未請求 請求項の数 6 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平11-159046

(22) 出願日 平成11年6月7日 (1999.6.7)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 宮田 幸児

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國川

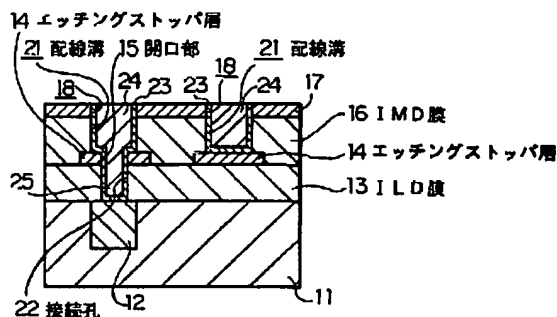
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 セルフアラインデュアルダマシン法では、配線層間と配線間の各絶縁膜に有機材料を用い、配線間の絶縁膜をエッチング加工する際に、これらの絶縁膜の層間の全面に有機材料よりも誘電率の高いエッチングストップ層を用いるため、実効的な誘電率の低減が十分にできないという問題の解決を図る。

【解決手段】 接続孔が形成される配線層間の絶縁膜 (ILD 膜 13) と、配線溝が形成される配線間の絶縁膜 (IMD 膜 16) と、これら二つの絶縁膜の層間に形成されたエッチングストップ層 14 とを備えたもので、エッチングストップ層 14 は、接続孔 22 を形成するための開口部 15 が形成されているとともに、配線溝 21 が形成される領域下とその周囲にのみ形成されているものである。



【特許請求の範囲】

【請求項1】 接続孔が形成される配線層間の絶縁膜と、
配線溝が形成される配線間の絶縁膜と、
前記二つの絶縁膜の層間に形成されたエッチングストッパ層とを備えた半導体装置において、
前記エッチングストッパ層は、接続孔を形成するための開口部が形成されているとともに、前記配線溝が形成される領域下とその周囲にのみ形成されていることを特徴とする半導体装置。

【請求項2】 前記配線溝は、前記配線間の絶縁膜から前記エッチングストッパ層にかけて形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 接続孔が形成される配線層間の絶縁膜を形成する工程と、
前記配線層間の絶縁膜上にエッチングストッパ層を形成する工程と、
配線溝が形成される配線間の絶縁膜を形成する工程とを備えた半導体装置の製造方法において、
前記エッチングストッパ層を前記配線溝が形成される領域下とその周囲のみに形成するとともに、接続孔を形成するための開口部を前記エッチングストッパ層に形成することを特徴とする半導体装置の製造方法。

【請求項4】 前記配線間の絶縁膜に前記配線溝を形成する際に、
前記配線間の絶縁膜から前記エッチングストッパ層にかけて前記配線溝を形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 接続孔が形成される配線層間の絶縁膜と、
配線溝が形成されるもので前記配線層間の絶縁膜とはエッチング選択性を有する配線間の絶縁膜とを備えた半導体装置において、
前記配線層間の絶縁膜は、前記配線溝が形成される領域下とその周囲にのみ形成されていることを特徴とする半導体装置。

【請求項6】 接続孔が形成される配線層間の絶縁膜を形成する工程と、
前記配線層間の絶縁膜上に配線溝が形成される配線間の絶縁膜を形成する工程とを備えた半導体装置の製造方法において、
前記配線層間の絶縁膜を前記配線溝が形成される領域下とその周囲にのみ形成するとともに、前記配線間の絶縁膜に前記接続孔を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、詳しくはデュアルダマシンプ法により配線構造を形成した半導体装置およびその製造方法に

関する。

【0002】

【従来の技術】近年、半導体装置の動作速度の高速化と消費電力の低減に向けて、銅配線を実用化するために、デュアルダマシンプロセスの開発が行われている。また、低誘電率絶縁材料を実用化して配線容量を低減する必要がある。低誘電率材料には、フッ素含有シリケートガラス(FSG)、有機膜、ポーラスシリカ等がある。

【0003】デュアルダマシンプロセスでは、均一性良く配線を形成するために、配線溝の深さを正確に制御することが重要である。そのため、同一配線層の配線間の絶縁膜(以下、IMD膜という、IMDはInter Metal Dielectricsの略)と配線層間の絶縁膜(以下、ILD膜という、ILDはInter Level Dielectricsの略)とでは異なる材料を用いて、IMD膜とILD膜の選択性のよいエッチングを用いて配線溝を形成する、いわゆるファーストビア(FV)法が一般的である。この方法では、IMD膜とILD膜のエッチング選択性を得なければならないため、材料の選択が限られてしまい、ILD膜には誘電率の高い材料を採用せざるを得ない。例えば、IMD膜に有機材料を用い、ILD膜に酸化シリコン系材料を用いている。

【0004】また、エッチングストッパをIMD膜とILD膜との間に配置する、自己整合デュアルダマシンプ(SADD)法が、VMIC Conference Abstract, (1997) Y. Morand他, p.75-80に開示されている。以下にSADD法の主要工程を図7の製造工程図によって説明する。

【0005】図7の(1)に示すように、トランジスタ等の素子や配線を形成した半導体基板(図示せず)上に素子、配線等を覆う第1の絶縁膜111を形成する。この第1の絶縁膜111には溝配線構造の第1の配線112が形成されている。上記第1の絶縁膜111上に第1の配線112を覆う有機膜でILD膜121を形成する。さらにILD膜121上にエッチングストッパ層122を形成する。

【0006】続いて図7の(2)に示すように、リソグラフィ技術とエッチングとにより、エッチングストッパ層122に接続孔を開くための開口部123を形成する。

【0007】次に図7の(3)に示すように、上記エッチングストッパ層122上に開口部123を覆うIMD膜124を有機膜で形成する。その後、IMD膜124上にハードマスク125を酸化シリケートガラス膜で形成する。

【0008】次いで図7の(4)に示すように、配線溝を形成するためのレジスト膜131を形成した後、リソグラフィ技術により上記レジスト膜131に配線溝パターン132を形成する。

【0009】続いて図7の(5)に示すように、上記レ

ジスト膜131をエッチングマスクに用いて、ハードマスク125、IMD膜124をエッチングして配線溝126を形成した後、エッチングストップ層122をエッチングマスクに用いて、ILD膜121をエッチングして接続孔127を形成する。

【0010】次いで図7の(6)に示すように、上記配線溝126および接続孔127にバリアメタル層128を形成した後、そのバリアメタル層128を介して銅埋め込む。その後、化学的機械研磨(以下CMPという、CMPはChemical Mechanical Polishingの略)により、ハードマスク125上の余分な銅、バリアメタル層(図示せず)を除去して、配線溝126内にバリアメタル層128を介して配線129を形成するとともに、接続孔127内にバリアメタル層128を介してプラグ130を形成する。

【0011】

【発明が解決しようとする課題】しかしながら、従来のFV法では、酸化膜で形成されるILD膜を全面に形成するため、IMD膜に低誘電率膜を用いても、実効誘電率を十分に低減できない。

【0012】また、SADD法では、IMD膜とエッチングストップとのエッチング選択性を必要とする。そのため、IMD膜、ILD膜に有機膜を用い、エッチングストップに酸化膜を用いている。このように、エッチングストップに誘電率の高い材料である酸化膜を採用せざるを得ない。このSADD法は、FV法に比べれば実効誘電率を低減することができるが、従来の技術では、エッチングストップを全面に形成するため、IMD膜、ILD膜に低誘電率膜を用いても実効誘電率を十分に低減するには至っていない。

【0013】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置およびその製造方法である。

【0014】第1の半導体装置は、接続孔が形成される配線層間の絶縁膜と、配線溝が形成される配線間の絶縁膜と、これら二つの絶縁膜の層間に形成されたエッチングストップ層とを備えたもので、エッチングストップ層は、配線溝が形成される領域下とその周囲にのみ形成されているとともに、接続孔を形成するための開口部が形成されているものである。

【0015】上記構成の第1の半導体装置では、エッチングストップ層が、配線溝が形成される領域下とその周囲にのみ形成されているとともに、そのエッチングストップ層に接続孔を形成するための開口部が形成されていることから、二つの絶縁膜の層間に形成されるエッチングストップ層の量が従来のエッチングストップ層と比較して少ない。通常、エッチングストップ層はシリコン系酸化膜や窒化膜などの誘電率が高い材料で形成されているため、このようにエッチングストップ層の量が減じ

られることにより、配線間および配線層間の誘電率が低減され、配線間容量、配線層間容量が低減される。

【0016】第1の半導体装置の製造方法は、接続孔が形成される配線層間の絶縁膜を形成する工程と、配線層間の絶縁膜上にエッチングストップ層を形成する工程と、エッチングストップ層を被覆するもので配線層間の絶縁膜上に配線溝が形成される配線間の絶縁膜を形成する工程とを備えた製造方法において、エッチングストップ層を配線溝が形成される領域下とその周囲のみに形成するとともに、接続孔を形成するための開口部をエッチングストップ層に形成することを特徴としている。

【0017】上記第1の半導体装置の製造方法では、エッチングストップ層を配線溝が形成される領域下とその周囲のみに形成することから、エッチングストップ層の量が従来のエッチングストップ層と比較して少なくなる。通常、エッチングストップ層はシリコン系酸化膜や窒化膜などで形成するために誘電率が高いものとなるが、このようにエッチングストップ層の量が減じられていることにより、配線間および配線層間の誘電率が従来の構成のものよりは低く抑えられる。そのため、配線間容量、配線層間容量が低減される。

【0018】また、エッチングストップ層を配線溝が形成される領域下とその周囲のみに形成するとともに、接続孔を形成するための開口部をエッチングストップ層に形成することから、エッチングストップ層を配線層間の絶縁膜に接続孔を形成する際のエッチングマスクとして用いることが可能になる。さらに、上記エッチングストップ層を配線溝が形成される領域下とその周囲のみに形成することから、配線間の絶縁膜に配線溝を形成した際に、配線溝がエッチングストップ層をはみ出すことなくエッチングストップ層上に形成されることになる。そのため、所定の深さに配線溝が形成される。また、配線溝を形成する際に、リソグラフィ工程の露光工程においてマスク合わせずれが発生したとしても、配線溝が形成される領域下の周囲にもエッチングストップ層を形成するので、エッチングストップ層をはみ出して配線溝が形成されることはない。そのため、配線溝が深く形成され過ぎて下層配線と短絡を起こすようなことは起こらない。

【0019】第2の半導体装置は、接続孔が形成される配線層間の絶縁膜と、配線溝が形成されるもので配線層間の絶縁膜とはエッチング選択性を有する配線間の絶縁膜とを備えたものにおいて、配線層間の絶縁膜は、配線溝が形成される領域下とその周囲にのみ形成されているものである。

【0020】上記構成の第2の半導体装置では、配線層間の絶縁膜は、配線溝が形成される領域下とその周囲にのみ形成されていることから、従来の酸化シリコン膜で形成されている配線層間の絶縁膜よりはその体積が少なくなっている。通常、酸化シリコン膜は誘電率4.2程

度と高いため、このような高い誘電率を有するもので形成される配線層間の絶縁膜を少なくすることにより、配線層間の誘電率が低減され、配線層間容量が低減される。

【0021】第2の半導体装置の製造方法は、接続孔が形成される配線層間の絶縁膜を形成する工程と、配線層間の絶縁膜上に配線溝が形成される配線間の絶縁膜を形成する工程とを備えた製造方法において、配線層間の絶縁膜を配線溝が形成される領域下とその周囲にのみ形成するとともに、配線間の絶縁膜に接続孔を形成することを特徴としている。

【0022】上記第2の半導体装置の製造方法では、配線層間の絶縁膜を配線溝が形成される領域下とその周囲にのみ形成することから、従来と比較して、シリコン系酸化膜等の高い誘電率を有する材料で形成されていた配線層間の絶縁膜の量が少なくなる。このように配線層間の絶縁膜が減じられることにより、配線層間の誘電率が低く抑えられる。そのため、配線間容量が低減される。

【0023】また、配線層間の絶縁膜を配線溝が形成される領域下とその周囲のみに形成することから、配線間の絶縁膜に配線溝を形成した際に、配線溝が配線層間の絶縁膜を外れて形成されることはない。そのため、所定の深さに配線溝が形成される。また、配線溝を形成する際に、リソグラフィ工程の露光工程においてマスク合わせずれが発生したとしても、配線溝が形成される領域下の周囲にもエッチング選択性を有する層を形成するので、エッチングストップ層をはみ出して配線溝が形成されることはない。そのため、配線溝が深く形成され過ぎて下層配線と短絡を起こすようなことは起こらない。

【0024】

【発明の実施の形態】本発明の第1の半導体装置に係わる実施の形態を、図1の概略構成断面図によって説明する。図1では、SADD法に基づいた本発明の方法により形成された半導体装置の一例を示す。

【0025】図1に示すように、例えばシリコン基板のような半導体基板（図示せず）上に、形成されているトランジスタ、キャパシタ等（図示せず）を覆う絶縁膜11が形成されている。この絶縁膜11には、溝配線構造の第1の配線12が形成されている。さらにその絶縁膜11上には、上記第1の配線12を覆うもので接続孔が形成される配線層間の絶縁膜となるILD（Inter Level Dielectrics）膜13が、例えば300nmの厚さに形成されている。このILD膜13は、例えばポリアールエーテルで形成されている。または、BCB膜、ポリイミド膜、アモルファスカーボン膜などの低誘電率有機膜で形成されていてもよい。

【0026】次いで上記ILD膜13上には、エッチングストップ層14が、例えば150nmの厚さの酸化シリコン膜で形成されている。このエッチングストップ層14は、溝配線を形成する領域下とその周辺にのみ形成

されているとともに、接続孔を形成するための開口部15が形成されている。上記配線溝を形成する領域下の周辺とは、例えば、配線溝を形成する際の露光工程においてマスク合わせずれを起こしても配線溝がエッチングストップ層14上に形成される範囲とする。なお、上記エッチングストップ層14は、酸化シリコン膜もしくは窒化シリコン膜で形成されていてもよい。

【0027】上記ILD膜13上には、上記エッチングストップ層14を覆うもので配線溝が形成される配線間の絶縁膜となるIMD（Inter Metal Dielectrics）膜16が、例えば300nmの厚さに形成されている。このIMD膜16は、上記ILD膜13と同様な材料の絶縁膜で形成されてもよく、または、BCB膜、ポリイミド膜、アモルファスカーボン膜などの低誘電率有機膜で形成されていてもよい。

【0028】上記IMD膜16上には、ハードマスク層17が、例えば酸化シリコンを200nmの厚さに堆積して形成され、そのハードマスク層17には配線溝パターンとなる開口部18が形成されている。さらに上記開口部18下のILD膜16には配線溝21が形成され、上記エッチングストップ層14に形成された開口部15下のILD膜13には接続孔22が形成されている。

【0029】なお、第1の配線12上に窒化シリコン膜のような拡散防止層が形成されている場合には、接続孔22は拡散防止層を貫通して第1の配線12の表面に達するように形成されている。

【0030】さらに上記配線溝21および接続孔22の各内面にはバリアメタル層23が形成され、配線溝21の内部には、そのバリアメタル層23を介して、例えば銅もしくは銅合金からなる第2の配線24が形成され、上記接続孔22の内部には、上記バリアメタル層23を介して、例えば銅もしくは銅合金からなるプラグ25が形成されている。

【0031】さらに、上記IMD膜16および第2の配線24上に、上記説明したと同様なILD膜13、IMD膜16、接続孔22、配線溝21、第2の配線24、プラグ25等を形成して、上記配線構造を積層したものとすることも可能である。

【0032】上記第1の実施の形態で説明した半導体装置では、エッチングストップ層14が、配線溝21が形成される領域下とその周囲にのみ形成されているとともに、そのエッチングストップ層14に接続孔22を形成するための開口部15が形成されていることから、二つの絶縁膜、すなわちILD膜13とIMD膜16との層間に形成されるエッチングストップ層14の量が従来のSADD法により形成されるエッチングストップ層と比較して少なくなっている。通常、エッチングストップ層14は、上記説明したように、有機材料のIMD膜16に対してエッチングされにくいシリコン系酸化膜や窒化膜などを用いて形成されているため、誘電率が高くなっ

ている。上記実施の形態のように、エッチングストッパ層14の量が減じられることにより、配線間(第2の配線24、24間)および配線層間(第1の配線12と第2の配線24との間)に形成されている絶縁膜の実効的誘電率が低減され、配線間容量、配線層間容量が低減される。

【0033】次に、前記説明した実施の形態における変形例を、図2の概略構成断面図によって説明する。図2では、前記図1によって示した構成部品と同様のものには同一符号を付与する。

【0034】図2に示す構成は、前記図1に示した第1の実施の形態において、配線溝21がエッチングストッパ層14を貫通してILD膜13に達する状態に形成されていて、そのような配線溝21の内部にバリア金属層23を介して第2の配線24が形成されているものである。したがって、エッチングストッパ層14には配線溝21の下部も形成されている。その他の構成部品である、絶縁膜11、第1の配線12、ILD膜13、開口部15、IMD膜16、ハードマスク層17、開口部18、接続孔22、バリア金属層23、第2の配線24、プラグ25等は、前記第1の実施の形態で説明したものと同様である。

【0035】上記図2に示した構成では、エッチングストッパ層14に配線溝21を形成したので、図1に示したエッチングストッパ層14よりもその体積が少なくなっている。そのため、エッチングストッパ層14に形成した配線溝21の分だけ、配線間、配線層間の実効的な誘電率が低減されている。

【0036】次に、第1の半導体装置の製造方法に係わる実施の形態を、図3の製造工程図によって説明する。図1では、SADD法に基づいた本発明の方法により形成された半導体装置の一例を示し、前記図1によって説明した構成部品と同様のものには同一符号を付与する。

【0037】図示はしないが、半導体基板(例えばシリコン基板)上に、トランジスタ、キャパシタ等(図示せず)を形成した後、図3の(1)に示すように、絶縁膜11を形成する。次いでこの絶縁膜11に第1の配線12を、例えば一般に知られている溝配線技術により形成する。その絶縁膜11上に第1の配線12を覆うもので配線層間の絶縁膜となるILD(Inter Level Dielectrics)膜13を例えば300nmの厚さに形成する。このILD膜13は、例えばポリアリールエーテルからなり、回転塗布法によりポリアリールエーテルの前駆体を塗布した後、300℃~450℃(ここでは一例としては400℃)の熱処理により形成した。なお、ILD膜13には、ポリアリールエーテルの他に、例えば、BCB膜、ポリイミド膜、アモルファスカーボン膜などの低誘電率有機膜を用いることも可能である。

【0038】次いで上記ILD膜13上にエッチングストッパ層14を、例えば150nmの厚さの酸化シリコ

ン膜で形成する。このエッチングストッパ層14は、例えばプラズマCVD法により、プロセスガスにモノシラン(SiH_4)もしくはジシラン(Si_2H_6)のようなシラン系ガスを用いて成膜される。例えば、原料ガスにモノシラン(SiH_4)と一酸化二窒素(N_2O)とを用い、基板温度を350℃、成膜雰囲気圧力を1kPaに設定して、成膜を行った。上記エッチングストッパ層14は、シリコン酸窒化膜もしくはシリコン窒化膜で形成することも可能である。

【0039】次いで図3の(2)に示すように、通常のリソグラフィ技術とエッチング技術とを用いて、上記エッチングストッパ層14をパターニングする。このパターニングでは、レジスト膜(図示せず)をエッチングマスクに用いたエッチングにより、上記エッチングストッパ層14に、例えば上記第1の配線12に達する接続孔を形成するための開口部15を上記エッチングストッパ層14の途中まで形成するとともに、溝配線を形成する領域下とその周辺の上記エッチングストッパ層14を残して、その他の部分をエッチングストッパ層14の途中まで除去する。上記溝配線を形成する領域下の周辺とは、配線溝を形成する際の露光工程においてマスク合わせずれを起こしても配線溝がエッチングストッパ層14上に形成される範囲とする。

【0040】上記エッチングストッパ層14を途中まで除去する深さは、例えば100nmとする。このエッチングでは、例えば一般的なプラズマエッチング装置を用い、エッチングガスにテトラフルオロメタン(CF_4)とアルゴン(Ar)とを用い、エッチング条件を、一例として、RF電力を1.5kW、エッチング雰囲気圧力を10Paに設定した。なお、上記エッチングストッパ層14のエッチングでは、エッチング時間を制御することによりエッチング深さを制御した。このときのエッチング深さは、エッチング速度のウエハ面内均一性を考慮して、ウエハ全面でILD膜13が露出しないように決定する必要がある。

【0041】その後、上記エッチングに用いたレジスト膜(図示せず)を通常のアッシング処理により除去する。この場合、エッチングストッパ層14にILD膜13が覆われているので、上記アッシング処理によりILD膜13がエッチングされることはなく、またILD膜13にエッチングダメージも加わらない。

【0042】次いで、全面エッチバック処理により、エッチングストッパ層14をエッチバックして、上記第1の配線12に達する接続孔を形成するための開口部15を形成するとともに、溝配線を形成する領域下とその周辺の上記エッチングストッパ層14を残して、その他の部分のエッチングストッパ層14を除去する。なお、上記溝配線を形成する領域とその周辺とは、例えば、溝配線をパターニングする際に行うリソグラフィ技術におけるマスク合わせずれを補償できる範囲とする。上記エ

ッチバックでは、一般的なプラズマエッチング装置を用い、エッチングガスに、オクタフルオロブテン (C_4F_8) とアルゴン (Ar) と一酸化炭素 (CO) とを用い、エッチング条件は、エッチング雰囲気圧力を 6 Pa、RF 電力を 1.5 kW に設定する。上記説明したように、エッチングストップ層 14 は 2 段階のエッチングによりパターンニングされる。

【0043】次いで、図 3 の (3) に示すように、上記 ILD 膜 13 上に上記エッチングストップ層 14 を覆うもので配線間の絶縁膜となる IMD 膜 16 を形成する。この IMD 膜 16 は、例えば上記 ILD 膜 13 と同様の形成方法によりポリアリアルエーテルで形成する。その膜厚は、例えば 300 nm とした。

【0044】さらに、上記 IMD 膜 16 上に、ハードマスク層 17 を形成する。このハードマスク層 17 は、例えばプラズマ CVD 法により、例えば酸化シリコンを 200 nm の厚さに堆積して形成する。

【0045】次いで、図 3 の (4) に示すように、通常のリソグラフィ技術とエッチング技術とを用いて、上記ハードマスク層 17 をパターンニングする。まず、ハードマスク 17 上にレジスト膜 31 を形成した後、リソグラフィ技術により、配線溝を形成するための開口部 32 を形成する。

【0046】続いて、図 3 の (5) に示すように、上記レジスト膜 31 をエッチングマスクに用いて、ハードマスク層 17 をエッチングして、配線溝を形成するための開口部 18 を形成する。これらのエッチングでは、一例としては、マグネトロンエッチング装置を用い、エッチングガスにオクタフルオロブテン (C_4F_8) [供給流量は例えば 10 sccm に設定] とアルゴン (Ar) [供給流量は例えば 200 sccm に設定] と酸素 (O_2) [供給流量は例えば 2 sccm に設定] とを用い、基板温度を 20℃、電力を 2 kW、エッチング雰囲気圧力を 8 Pa に設定した。

【0047】さらにハードマスク層 17 をエッチングマスクに用いて、IMD 膜 16 をエッチングし、配線溝 21 を形成する。このエッチングでは、上記エッチングストップ層 14 が配線溝 21 の底部となって、配線溝 21 のエッチングを停止させる。引き続き、このエッチングストップ層 14 をエッチングマスクに用いて開口部 15 より ILD 膜 13 をエッチングし、上記第 1 の配線 12 に達する接続孔 22 を形成する。これらのエッチングでは、一例としては、ヘリコン波プラズマエッチング装置を用い、エッチングガスにアンモニア (NH_3) [供給流量は例えば 100 sccm に設定] を用い、基板温度を 100℃、ソース電力を 1.5 kW、バイアス電力を 100 W、エッチング雰囲気圧力を 1 Pa に設定した。もしくは、一般的な ECR プラズマエッチング装置を用い、エッチングガスに、窒素 (N_2) とヘリウム (He) とを用い、エッチング条件は、エッチング雰

気の圧力を 1 Pa、マイクロ波電力を 1 kW、バイアス RF 電力を 300 W に設定する。

【0048】なお、上記レジスト膜 31 は、IMD 膜 16、ILD 膜 13 をエッチングする際に除去される。また第 1 の配線 12 上に窒化シリコン膜のような拡散防止層が形成されている場合には、接続孔 22 を形成した後、その拡散防止層を除去して第 1 の配線 12 の表面を露出させる異方性エッチングを行う。

【0049】また、配線溝 21 の底部に露出しているエッチングストップ層 14 を異方性エッチングして除去してもよい。これに関しては、後に説明を行う。

【0050】その後、図 3 の (6) に示すように、スパッタリング、蒸着法もしくは CVD 法によって、上記配線溝 21 および接続孔 22 の各内面にバリアメタル層 23 を形成し、さらに銅膜を形成する。その際、バリアメタル層 23 および銅膜は、ハードマスク層 17 上にも成膜される。上記バリアメタル層 23 は、例えば窒化タンタルもしくはタンタルを 50 nm の厚さに堆積して形成する。なお、バリアメタル層 23 の成膜に先立って、第 1 の配線 12 の表面に形成されている自然酸化膜等を除去するために、スパッタエッチングを行うことが好ましい。そしてスパッタエッチング後は、酸化性雰囲気 (例えば大気) にさらすことなく、バリアメタル層 23 の成膜を行うことが好ましい。例えば、いわゆる in situ 処理を行う。

【0051】その後、電解メッキ法により、接続孔 22 および配線溝 21 を銅で埋め込む。その際、ハードマスク層 17 上にも銅膜が形成される。次いで CMP により、ハードマスク層 17 上の余分な銅膜およびバリアメタル層 23 を除去して、配線溝 21 の内部に第 2 の配線 24 を形成するとともに接続孔 22 の内部に第 1 の配線 12 に電気的に接続するプラグ 25 を形成する。上記 CMP の際には、ハードマスク層 17 が研磨ストップとなるが、ハードマスク層 17 の厚さによっては、ハードマスク層 17 は完全に除去されることがある。なお、上記例では、銅を埋め込んだが、配線材料となる例えばアルミニウムのような他の金属材料を埋め込んでもよい。

【0052】図示はしないが、さらに上記 ILD 膜 13 の形成工程から配線 24 およびプラグ 25 の形成工程までを繰り返すことによって、多層配線を形成することが可能になる。

【0053】また、上記第 1 の実施の形態において、エッチングストップ層を以下のように形成してもよい。

【0054】つまり、前記説明したのと同様にエッチングストップ層 14 を形成する。その後、通常のリソグラフィ技術とエッチング技術とを用いて、上記エッチングストップ層 14 をエッチングする。このエッチングでは、レジストマスクを用いて、上記エッチングストップ層 14 に、例えば上記第 1 の配線 12 に達する接続孔を形成するための開口部 15 を形成するとともに、溝配線

を形成する領域下とその周辺の上記エッチングストッパ層14を残して、その他の部分をエッチング除去する。上記溝配線を形成する領域とその周辺とは、例えば、溝配線をパターニングする際に行うリソグラフィ技術におけるマスク合わせずれを補償できる範囲とする。

【0055】上記酸化シリコン膜からなるエッチングストッパ層14のエッチングでは、例えば一般的なプラズマエッチング装置を用い、一例としてエッチングガスにテトラフルオロメタン (CF_4) とアルゴン (Ar) と一酸化炭素 (CO) とを用い、エッチング条件を、一例として、RF電力を1.5kW、エッチング雰囲気圧力を6Paに設定した。

【0056】次いで、異方性エッチングにより上記レジストマスクを除去する。その際、上記ILD膜13も異方性エッチングされる。このエッチングでは、一例として、一般的なECR (Electron Cyclotron Resonance) プラズマエッチング装置を用い、エッチングガスに、窒素 (N_2) とヘリウム (He) とを用い、エッチング条件は、エッチング雰囲気圧力を1Pa、マイクロ波電力を1kW、バイアスRF電力を300Wに設定する。なお、ILD膜13の下層には絶縁膜11があるので、このエッチングは少なくとも絶縁膜11上で停止される。

【0057】その後、上記エッチングにより除去されたILD膜の部分を埋め込むとともに上記ILD膜13上に上記エッチングストッパ層14を覆うもので配線間の絶縁膜となるIMD膜16を形成する。このIMD膜16は、例えば上記ILD膜13と同様の形成方法によりポリアリアルエーテルで形成する。その膜厚は、例えば300nmとした。以降の工程は、上記説明したのと同様である。

【0058】上記第1の実施の形態で説明した半導体装置の製造方法では、エッチングストッパ層14を配線溝21が形成される領域下とその周囲のみに形成するとともに、接続孔22を形成するための開口部15をエッチングストッパ層14に形成することから、エッチングストッパ層14の量が従来のSADD法により形成されるエッチングストッパ層と比較して少なくなる。通常、エッチングストッパ層はシリコン系酸化膜や窒化膜などで形成するために誘電率が高いものとなるが、このようにエッチングストッパ層14の量が減じられていることにより、配線間(第2の配線24、24間)および配線層間(第1の配線12と第2の配線24との間)の実効的な誘電率が従来のSADD法により形成される構成のものよりは低く抑えられる。そのため、配線間容量、配線層間容量が低減される。

【0059】また、上記エッチングストッパ層14を配線溝21が形成される領域下とその周囲のみに形成することから、IMD膜16に配線溝21を形成した際に、配線溝21がエッチングストッパ層14をはみ出すこと

なくエッチングストッパ層14上に形成されることになる。そのため、所定の深さに配線溝21が形成される。また、配線溝21を形成する際に、リソグラフィ工程の露光工程においてマスク合わせずれが発生したとしても、配線溝21が形成される領域下の周囲にもエッチングストッパ層14を形成するので、エッチングストッパ層14をはみ出して配線溝21が形成されることはない。そのため、配線溝21が深く形成され過ぎて第1の配線12と短絡を起こすようなことはない。

【0060】次に、前記説明した第1の実施の形態における変形例を、図4の製造工程図によって説明する。図4では、前記図3によって示した構成部品と同様のものには同一符号を付与する。

【0061】図4の(1)に示すように、前記図3の(5)に示した工程において、配線溝21をエッチングストッパ層14を貫通してILD膜13に達する状態に形成する。

【0062】その後図4の(2)に示すように、前記図3の(6)に示した工程と同様にして、配線溝21の内部にバリアメタル層23を介して第2の配線24を形成するとともに、接続孔22の内部にバリアメタル層23を介してプラグ25を形成する。

【0063】上記図4に示した製造方法では、エッチングストッパ層14にも配線溝21を形成するので、図3に示した製造方法で形成される半導体装置のエッチングストッパ層14よりも配線溝21を形成した分だけ、エッチングストッパ層14の体積が少なくなっている。そのため、エッチングストッパ層14の体積が少なくなった分だけ、配線間、配線層間の実効的な誘電率が低減される。

【0064】上記図4に示した製造工程では、溝配線21を形成する際に、エッチングストッパ層14にも配線溝21を形成するので、エッチングストッパ層14に形成した配線溝21の分だけ、図3に示した製造方法により形成されるエッチングストッパ層よりもその体積が少なくなる。そのため、配線間、配線層間の実効的な誘電率が低くなる。

【0065】次に、本発明の第2の半導体装置に係わる実施の形態を、図5の概略構成断面図によって説明する。図5では、ファーストビア(FV)法に基づいた本発明の方法により形成された半導体装置の一例を示す。

【0066】図5に示すように、例えばシリコン基板のような半導体基板(図示せず)上に、形成されているトランジスタ、キャパシタ等(図示せず)を覆う絶縁膜51が形成されている。この絶縁膜51には、溝配線構造の第1の配線52が形成されている。さらにその絶縁膜51上でかつ配線溝を形成する領域下とその周辺には、エッチングストッパ層となるものでかつ上記第1の配線52を覆って配線層間の絶縁膜となるILD (Inter Level Dielectrics) 膜53が、例えば300nmの厚さ

に形成されている。上記配線溝を形成する領域下の周辺とは、配線溝を形成する際の露光工程においてマスク合わせずれを起こしても配線溝がエッチングストップ層14上に形成される範囲とする。上記ILD膜53は、例えば酸化シリコンで形成されている。または、酸化窒化シリコンもしくは窒化シリコンなどで形成されていてもよい。

【0067】さらに上記絶縁膜51上には、上記ILD膜53を覆うもので配線間および一部の配線層間の絶縁膜となるIMD (Inter Metal Dielectrics) 膜54が、例えばILD膜53上で300nmの厚さに形成されている。このIMD膜54は、上記ILD膜53と同様な材料の絶縁膜で形成されてもよく、または、BCB膜、ポリイミド膜、アモルファスカーボン膜などの低誘電率有機膜で形成されていてもよい。

【0068】上記IMD膜54上には、例えば酸化シリコンを200nmの厚さに堆積してなるハードマスク層55が形成されている。そのハードマスク層55には配線溝パターンとなる開口部56が形成されている。さらに上記開口部56下のILD膜54には配線溝61が形成され、上記ILD膜54には接続孔62が形成されている。

【0069】なお、第1の配線52上に窒化シリコン膜のような拡散防止層が形成されている場合には、接続孔62は拡散防止層を貫通して第1の配線52の表面に達するように形成されている。

【0070】さらに上記配線溝61および接続孔62の各内面にはバリアメタル層63が形成され、配線溝61の内部には、そのバリアメタル層63を介して、例えば銅もしくは銅合金からなる第2の配線64が形成され、上記接続孔62の内部には、上記バリアメタル層63を介して、例えば銅もしくは銅合金からなるプラグ65が形成されている。

【0071】さらに、上記IMD膜54および第2の配線64上に、上記説明したのと同様なILD膜53、IMD膜54、接続孔62、配線溝61、第2の配線64、プラグ65等を形成して、上記配線構造を積層したものとすることも可能である。

【0072】上記第2の半導体装置では、配線層間の絶縁膜のILD膜53は、配線溝61が形成される領域下とその周囲にのみ形成されていることから、従来のFV法により形成される酸化シリコン膜の配線層間の絶縁膜よりはその体積が少なくなっている。通常、酸化シリコン膜は誘電率4.2程度と高いため、このような高い誘電率を有するもので形成されるILD膜53を少なくすることにより、配線間(第2の配線64、64との間)や配線層間(第1の配線52と第2の配線64との間)の誘電率が低減され、配線層間容量が低減される。

【0073】次に、第2の半導体装置の製造方法に係わる実施の形態を、図6の製造工程図によって説明する。

図6では、FV法に基づいた本発明の方法により形成された半導体装置の一例を示し、前記図5によって説明した構成部品と同様のものには同一符号を付与する。

【0074】図示はしないが、半導体基板(例えばシリコン基板)上に、トランジスタ、キャパシタ等(図示せず)を形成した後、図6の(1)に示すように、絶縁膜51を形成する。次いでこの絶縁膜51に第1の配線52を、例えば一般に知られている清配線技術により形成する。その絶縁膜51上に第1の配線52を覆うもので配線層間の絶縁膜となるILD膜53を、例えばプラズマCVD法により、酸化シリコンを300nmの厚さに堆積して形成する。このプラズマCVD法では、プロセスガスにモノシラン(SiH_4)もしくはジシラン(Si_2H_6)のようなシラン系ガスを用いる。例えば、原料ガスにモノシラン(SiH_4)と一酸化二窒素(N_2O)とを用い、基板温度を350℃、成膜雰囲気圧力を1kPaに設定して成膜を行った。なお、ILD膜13には、酸化窒化シリコン、窒化シリコンなどの材料で形成することも可能である。

【0075】次いで図6の(2)に示すように、通常のリソグラフィー技術とエッチング技術とを用いて、上記ILD膜53をパターニングする。まず、ILD膜53上にレジスト膜71を形成した後、リソグラフィー技術により、上記レジスト膜71に、例えば上記第1の配線52に達する接続孔を形成するための開口部72を形成するとともに、配線溝を形成する領域とその周辺領域上に上記レジスト膜71を残す。その後、そのレジスト膜71をエッチングマスクに用いたエッチングにより、上記ILD膜53をエッチングし、上記第1の配線52に達する接続孔62を形成するとともに、配線溝を形成する領域下とその周辺の上記ILD膜53を残して、その他の部分をILD膜53を除去する。上記配線溝を形成する領域下の周辺とは、配線溝を形成する際の露光工程においてマスク合わせずれを起こしても配線溝がILD膜53上に形成される範囲とする。その後、エッチングマスクに用いた上記レジスト膜71を通常のアッシング処理により除去する。なお、図面では、レジスト膜71をアッシングする前の状態を示した。

【0076】次いで図6の(3)に示すように、上記絶縁膜51上に上記ILD膜53を覆うもので配線層間の絶縁膜となり、一部の配線層間の絶縁膜ともなるIMD膜54を形成する。このIMD膜54は、例えば上記ILD膜53と同様の形成方法によりポリアリアルエーテルで形成する。その膜厚は、ILD膜53上で例えば300nmとした。

【0077】さらに、上記IMD膜54上に、ハードマスク層55を形成する。このハードマスク層55は、例えばプラズマCVD法により、例えば酸化シリコンを200nmの厚さに堆積して形成する。

【0078】次いで、通常のリソグラフィー技術とエッ

チング技術とを用いて、上記ハードマスク層55をパターンニングする。まず、ハードマスク55上にレジスト膜73を形成した後、リソグラフィ技術により、配線溝を形成するための開口部74を形成する。

【0079】続いて図6の(4)に示すように、上記レジスト膜73をエッチングマスクに用いて、ハードマスク層55をエッチングして、配線溝を形成するための開口部56を形成する。これらのエッチングでは、一例としては、マグネトロンエッチング装置を用い、エッチングガスにオクタフルオロブテン (C_4F_8) [供給流量は例えば10 sccmに設定] とアルゴン (Ar) [供給流量は例えば200 sccmに設定] と酸素 (O_2) [供給流量は例えば2 sccmに設定] とを用い、基板温度を20℃、電力を2 kW、エッチング雰囲気圧力を8 Paに設定した。

【0080】さらにハードマスク層55をエッチングマスクに用いて、IMD膜54をエッチングし、配線溝61を形成する。このエッチングでは、上記ILD膜53が配線溝61の底部となって、配線溝61を形成するエッチングを停止させる。引き続き、このILD膜53をエッチングマスクに用いてIMD膜54が埋め込まれた接続孔62を再び開口する。これらのエッチングでは、一例としては、ヘリコン波プラズマエッチング装置を用い、エッチングガスにアンモニア (NH_3) [供給流量は例えば100 sccmに設定] を用い、基板温度を100℃、ソース電力を1.5 kW、バイアス電力を100 W、エッチング雰囲気圧力を1 Paに設定した。もしくは、一般的なECRプラズマエッチング装置を用い、エッチングガスに窒素 (N_2) とヘリウム (He) とを用い、エッチング条件は、エッチング雰囲気圧力を1 Pa、マイクロ波電力を1 kW、バイアスRF電力を300 Wに設定する。

【0081】なお、上記レジスト膜73は、IMD膜54をエッチングする際に除去される。また第1の配線52上に窒化シリコン膜のような拡散防止層が形成されている場合には、接続孔62を形成した後、その拡散防止層を除去して第1の配線52の表面を露出させる異方性エッチングを行う。

【0082】その後、図3の(5)に示すように、スパッタリング、蒸着法もしくはCVD法によって、上記配線溝61および接続孔62の各内面にバリアメタル層63を形成し、さらに銅膜を形成する。その際、バリアメタル層63および銅膜は、ハードマスク層55上にも成膜される。上記バリアメタル層63は、例えば窒化タンタルもしくはタンタルを50 nmの厚さに堆積して形成する。なお、バリアメタル層63の成膜に先立って、第1の配線52の表面に形成されている自然酸化膜等を除去するために、スパッタエッチングを行うことが好ましい。そしてスパッタエッチング後は、酸化性雰囲気(例えば大気)にさらすことなく、バリアメタル層63の成

膜を行うことが好ましい。例えば、いわゆるin situ 処理を行う。

【0083】その後、電解メッキ法により、接続孔62および配線溝61を銅で埋め込む。その際、ハードマスク層55上にも銅膜が形成される。次いでCMPにより、ハードマスク層55上の余分な銅膜およびバリアメタル層63を除去して、配線溝61の内部に第2の配線64を形成するとともに接続孔62の内部に第1の配線52に電気的に接続するプラグ65を形成する。上記CMPの際には、ハードマスク層55が研磨ストッパとなるが、ハードマスク層55の厚さによっては、ハードマスク層55は完全に除去されることがある。なお、上記例では、銅を埋め込んだが、配線材料となる例えばアルミニウムのような他の金属材料を埋め込んでもよい。

【0084】図示はしないが、さらに上記ILD膜13の形成工程から第2の配線64およびプラグ65の形成工程までを繰り返すことによって、多層配線を形成することが可能になる。

【0085】上記第2の実施の形態で説明した半導体装置の製造方法では、配線層間の絶縁膜であるIMD膜54を配線溝61が形成される領域下とその周囲にのみ形成するとともに、配線間の絶縁膜であるILD膜53に接続孔62を形成することから、従来FV法により形成されたものと比較して、シリコン系酸化膜等の高い誘電率を有する材料で形成されていた配線層間の絶縁膜の量が少なくなる。このように酸化シリコン膜からなるILD膜53が減じられることにより、配線層間(第1の配線53と第2の配線64との間)の誘電率が低く抑えられる。よって、配線間容量が低減される。

【0086】また、エッチングストッパ層となるILD膜53を配線溝が形成される領域下とその周囲にのみ形成することから、配線間の絶縁膜であるIMD膜54に配線溝61を形成した際に、配線溝61が配線層間の絶縁膜であるILD膜53を外れて形成されることはない。そのため、所定の深さに配線溝61が形成される。また、配線溝61を形成する際に、リソグラフィ工程の露光工程においてマスク合わせずれが発生したとしても、配線溝61が形成される領域下の周囲にもエッチング選択性を有する層を形成するので、ILD膜53をはみ出して配線溝61が形成されることはない。そのため、配線溝61が深く形成され過ぎて下層配線である第1の配線52と短絡を起こすようなことは起こらない。

【0087】なお、上記ILD膜13、IMD膜16、および上記IMD膜54は、フッ素樹脂またはキセロゲルで形成することもできる。フッ素樹脂の一例としては、フルオロカーボン膜[例えば、環状フッ素樹脂、テフロン(PTFE)、他]、アモルファステフロン[例えば、デュボン社製: テフロンAF(商品名)、他]、フッ化アリールエーテルもしくはフッ化ポリイミドを用いることができる。上記キセロゲルの一例としてはポー

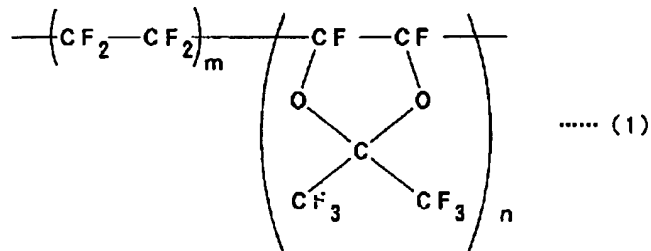
ラスシリカがある。

【0088】上記フッ素樹脂を成膜するには、回転塗布装置により上記フッ素樹脂の前駆体を塗布し、その後、300℃～450℃でキュアする。なお、フッ素化アモルファスカーボン等の材料はアセチレン (C_2H_2)、フルオロカーボンガス (例えばオクタフルオロプロテン (C_4F_8)) をプロセスガスに用いたプラズマCVD

法により成膜することが可能である。この場合も成膜後に300℃～450℃でキュアする。なお、上記アモルファステフロンはテフロンAFに限定されることはなく、下記の化学式(1)に示す構造を有するものであれば何でもよい。

【0089】

【化1】



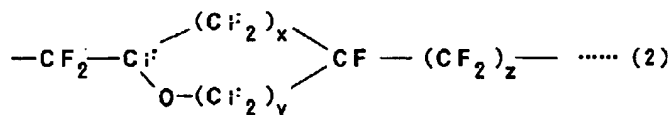
(式中、m、nは正の整数)

【0090】上記ILD膜13、IMD膜16としては、シクロポリマライズドフロリネーテッドポリマー系樹脂 (例えばサイトップ (商品名)) を用いることも可能である。シクロポリマライズドフロリネーテッドポリマー系樹脂は上記サイトップに限定されることはなく、

下記の化学式(2)に示す構造を有するものであれば何でもよい。

【0091】

【化2】



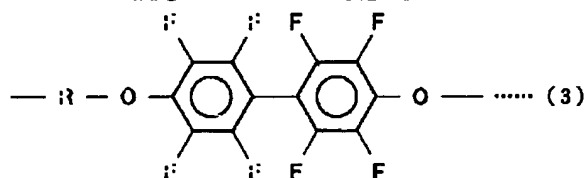
(式中、x、y、zは正の整数)

【0092】上記ILD膜13、IMD膜16としては、フッ化ポリアリルエーテル系樹脂 (例えばFLARE (商品名)) を用いることも可能である。フッ化ポリアリルエーテル系樹脂は上記FLAREに限定されるこ

とはなく、下記の化学式(3)に示す構造を有するものであれば何でもよい。

【0093】

【化3】



(式中、Rはアルキル基)

【0094】また、上記ILD膜13、IMD膜16に上記キセロゲルを用いる場合には、一例として、ナノグラス社が開発したNanoporous Silicaを、回転塗布装置を用いて成膜を行った。上記Nanoporous Silicaはポーラスシリカの1種で、本発明で用いることができるキセロゲルは、上記Nanoporous Silicaに限定されることはない。すなわち、芳香族などの比較的高分子のアルキル基を有するシランオール樹脂を基板上に塗布し、それをゲル化させ、シランカップリング剤もしくは水素化処理を用いて疎水化処理を行って形成したものであれば、どの

ようなキセロゲルであっても適用することができる。

【0095】

【発明の効果】以上、説明したように本発明の第1の半導体装置によれば、エッチングストップ層が、配線溝が形成される領域下とその周囲にのみ形成されているとともに、そのエッチングストップ層に接続孔を形成するための開口部が形成されているので、二つの絶縁膜の層間に形成されるエッチングストップ層の量が従来のエッチングストップ層と比較して少なくなっている。このように、通常、誘電率が高い材料で形成されるエッチングストップ層の量が減じられているので、配線間および配線

層間の実効的な誘電率が低減され、配線間容量、配線層間容量の低減が図れる。

【0096】第1の半導体装置の製造方法によれば、エッチングストップ層を配線溝が形成される領域下とその周囲のみに形成するので、誘電率の高い材料で形成されるエッチングストップ層の量が従来のエッチングストップ層と比較して少なく形成することができる。よって、配線間および配線層間の実効的な誘電率を従来の構成のものよりは低く抑えることができるので、配線間容量、配線層間容量を低減することができる。

【0097】第2の半導体装置によれば、配線層間の絶縁膜は、配線溝が形成される領域下とその周囲にのみ形成されているので、従来の酸化シリコン膜で形成されている配線層間の絶縁膜よりもその体積が少なくなる。通常、酸化シリコン膜は誘電率4.2程度と有機絶縁材料よりも高いため、高い誘電率を有するもので形成される配線層間の絶縁膜を少なくすることにより、配線層間の実効的な誘電率が低減され、配線層間の容量が低減できる。

【0098】第2の半導体装置の製造方法によれば、配線層間の絶縁膜を配線溝が形成される領域下とその周囲にのみ形成するので、誘電率の高い材料で形成される配

線間の絶縁膜の量が従来のものと比較して少なく形成することができる。よって、配線層間の絶縁膜の実効的な誘電率が従来の構成のものよりも低く抑えることができるので、配線層間容量を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の半導体装置に係わる実施の形態を説明する概略構成断面図である。

【図2】第1の半導体装置に係わる実施の形態の変形例を説明する概略構成断面図である。

【図3】第1の半導体装置の製造方法に係わる実施の形態を説明する製造工程図である。

【図4】第1の半導体装置の製造方法に係わる実施の形態の変形例を説明する製造工程図である。

【図5】本発明の第2の半導体装置に係わる実施の形態を説明する概略構成断面図である。

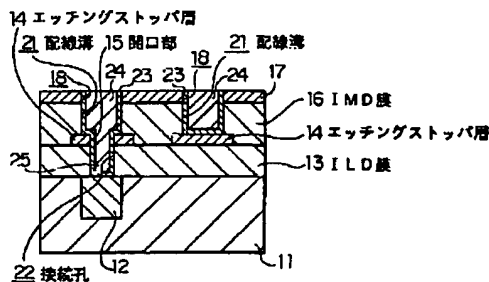
【図6】第2の半導体装置の製造方法に係わる実施の形態を説明する製造工程図である。

【図7】従来のSACC法を説明する製造工程図である。

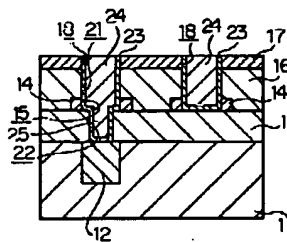
【符号の説明】

13…ILD膜、14…エッチングストップ層、15…開口部、16…IMD膜、21…配線溝、22…接続孔

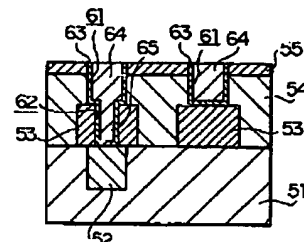
【図1】



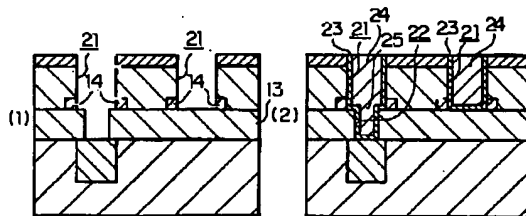
【図2】



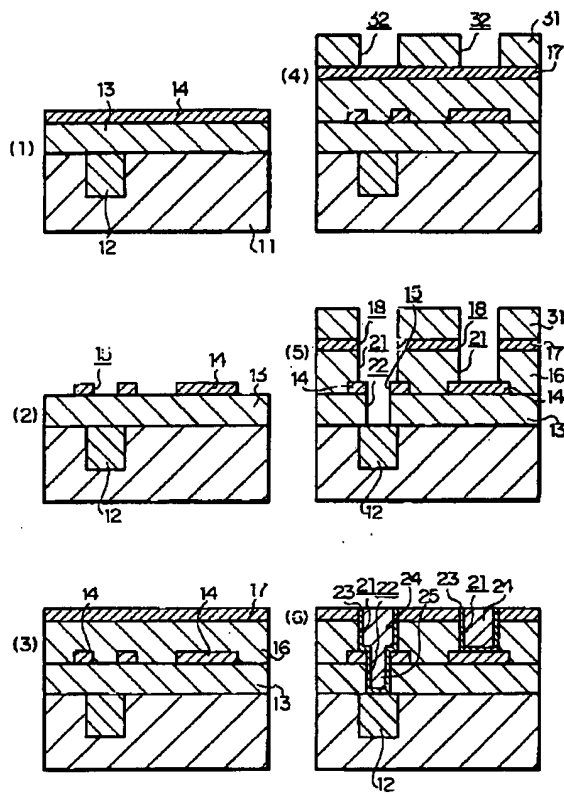
【図5】



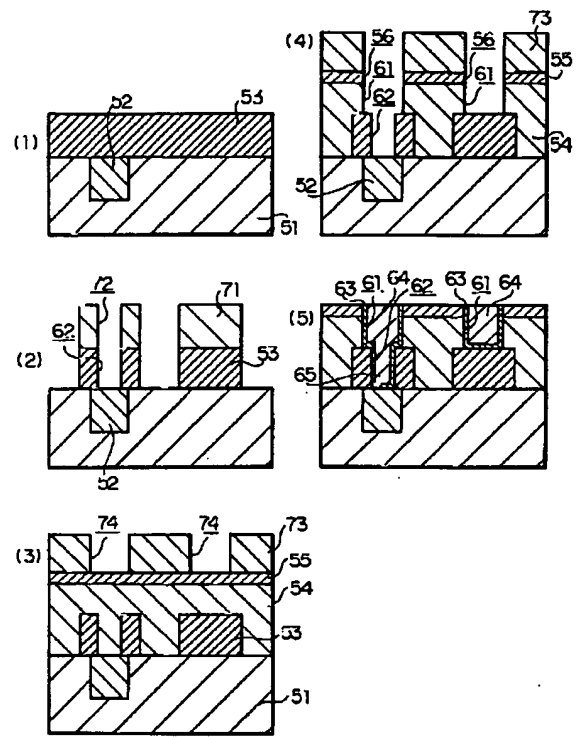
【図4】



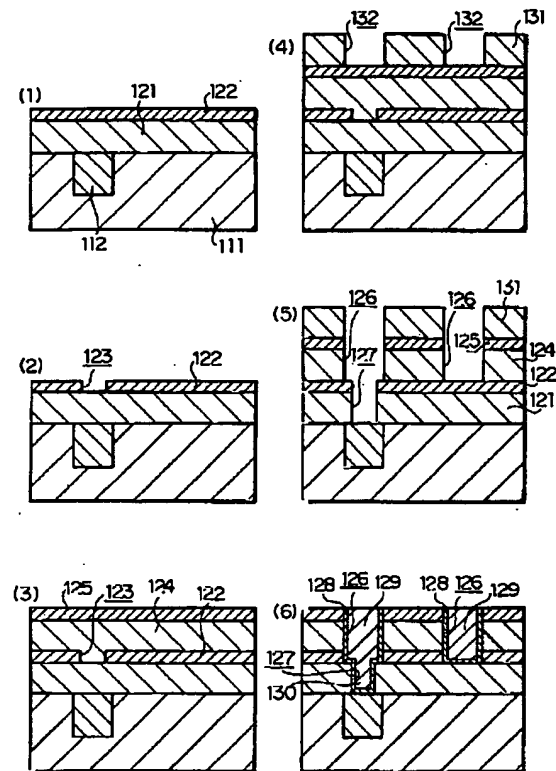
【図3】



【図6】



【図7】



フロントページの続き

(51)Int. Cl.⁷
H 0 1 L 21/3205

識別記号

F I
H 0 1 L 21/88
21/90

(参考)

B
V
S

F ターム(参考) 4M104 BB04 DD08 DD20 DD52 DD65
DD67 EE14 EE17 EE18 FF13
FF16 FF22 HH20
5F004 BA13 BA14 BA20 DA00 DA01
DA22 DA23 DA25 DA26 DB03
DB07 DB23 EA23 EA28 EB01
EB02 EB03
5F033 HH08 HH11 HH12 JJ01 JJ08
JJ11 JJ12 MM02 MM05 MM13
NN06 PP27 QQ09 QQ11 QQ16
QQ25 QQ28 QQ37 QQ48 QQ74
RR04 RR06 RR08 RR21 RR22
RR24 SS15 SS22 TT04 XX25